

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-232291
(43)Date of publication of application : 16.08.2002

(51)Int.CI.

H03M 1/34
H01L 27/146
H04N 5/335

(21)Application number : 2001-026478

(71)Applicant : RINIASERU DESIGN:KK

(22)Date of filing : 02.02.2001

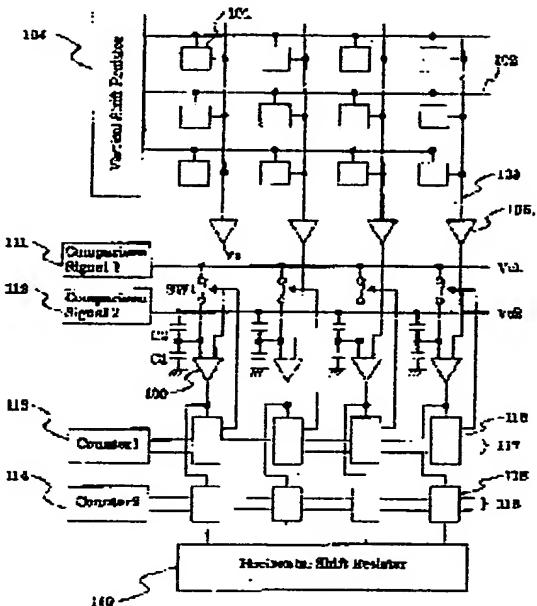
(72)Inventor : UNO MASAYUKI

(54) ANALOG/DIGITAL CONVERTER AND IMAGE SENSOR PROVIDED WITH THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide parallel analog/digital (A/D) converter capable of power consumption reduction with a small number of clocks on an image sensor.

SOLUTION: A pixel signal V_s is applied to one input terminal of a comparator 100 provided for each column, the ladder wave of a large voltage step is applied to the other input terminal by a reference voltage V_{c1} , a count value corresponding to the number of steps when inverting the comparator is held in a latch circuit 115 as a high-order bit, and the reference voltage V_{c1} at such a time is held in a capacitor C_1 . Afterwards, a small voltage step is applied from a reference voltage V_{c2} through C_2 , and a count value when inverting the comparator again is held in a latch circuit 116 for low-order bit. Thus, when high-order and low-order bits are separately quantized, the number of clocks can be reduced and the device can be composed of the circuit of low band so that power consumption can be reduced.



LEGAL STATUS

[Date of request for examination] 13.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3507800

[Date of registration] 26.12.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-232291

(P2002-232291A)

(43)公開日 平成14年8月16日 (2002.8.16)

(51) Int.Cl.
 H 03 M 1/34
 H 01 L 27/146
 H 04 N 5/335

識別記号

F I
 H 03 M 1/34
 H 04 N 5/335
 H 01 L 27/14

テマコード(参考)
 4 M 118
 Z 5 C 024
 A 5 J 022

審査請求 有 請求項の数9 OL (全14頁)

(21)出願番号 特願2001-26478(P2001-26478)

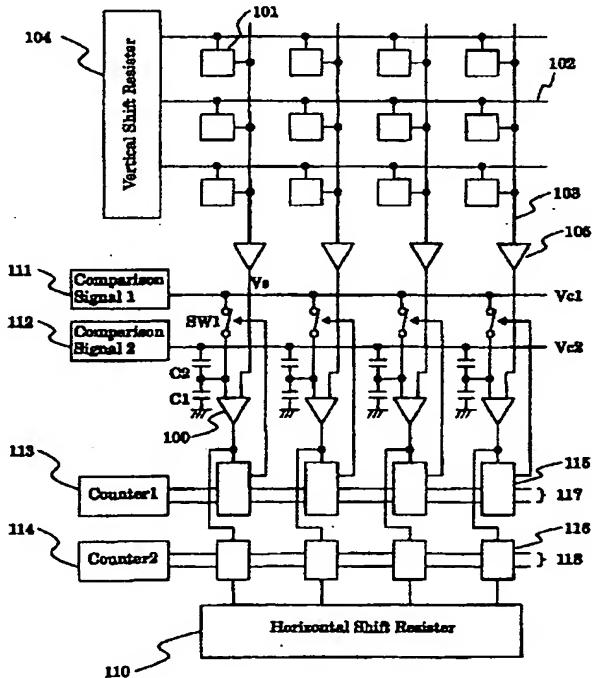
(22)出願日 平成13年2月2日 (2001.2.2)

(71)出願人 500409068
 有限会社リニアセル・デザイン
 長野県伊那市大字伊那部160番地2
 (72)発明者 宇野 正幸
 長野県伊那市大字伊那部160番地
 (74)代理人 100100055
 弁理士 三枝 弘明
 Fターム(参考) 4M118 AA04 AB01 BA14 CA02 DD09
 DD11 FA06
 5C024 CY42 HX13 HX23 HX29 HX47
 HX50
 5J022 AA07 AA14 BA06 BA07 CA10
 CB01 CB07 CC02 CE05 CE09
 CF01 CF07

(54)【発明の名称】 アナログ-デジタル変換器及びこれを用いたイメージセンサ

(57)【要約】

【課題】少ないクロック数で低消費電力化が可能な列並型のA/D変換器をイメージセンサ上に実現する。
 【解決手段】列ごとに設けられた比較器100の一方の入力端子に画素信号Vsを与え、他方の入力端子に大きな電圧ステップの階段波を参照電圧Vc1で与え、比較器が反転するときのステップ数に対応したカウント値を上位ビットとしてラッチ回路115に保持するとともに、そのときの参照電圧Vc1を容量C1に保持する。その後、C2を介して小さな電圧ステップを参照電圧Vc2より与え再び比較器が反転するときのカウント値を下位ビット用のラッチ回路116の保持する。このように上位ビットと下位ビットを分けて量子化するとクロック数を少なくでき、低い帯域の回路で構成できるため低消費電力化が実現できる。



【特許請求の範囲】

【請求項1】 複数の信号電圧を並列に保持する複数のサンプルホールド手段と、複数の該サンプルホールド手段からの出力電圧を共通の階段波状の参照電圧と比較する複数の比較手段と、上記参照電圧の変化に同期して与えられる共通の階段波のステップ数を表す2値化データから、上記各比較手段の比較結果が変化する時のデータを選択保持し、前記出力電圧に対応するデジタル信号を得るように、前記比較手段ごとに設けられたデジタル信号保持手段とを有し、

10 前記2値化データを複数のデータビット域に分け、該複数のデータビット域にそれぞれ対応したステップで変化する階段波状の複数の前記参照電圧を各比較手段に共通に与える参照信号供給手段を設け、

上位の前記データビット域に対応するステップで前記参照電圧を階段波状に変化させながら与えた場合における、前記比較手段の比較結果が変化する時点の当該参照電圧を保持する参照電圧保持手段を前記比較手段ごとに設け、

20 前記参照電圧保持手段にて保持された前記参照電圧の値を起点として、下位の前記データビット域に対応するステップで前記参照電圧を階段波状に変化させるように構成したこととを特徴とするアナログ-デジタル変換器。

【請求項2】 前記データビット域に対応するステップで前記参照電圧を前記比較手段の比較結果が変化するまで階段波状に変化させながら与える参照電圧供給段階を、最上位の前記データビット域に対応するステップで前記参照電圧を変化させる段階から最下位の前記データビット域に対応するステップで前記参照電圧を変化させる段階まで、前記参照電圧の変化方向を逆転させながら順次に実行するように構成されていることを特徴とするアナログ-デジタル変換器。

20 前記比較手段は、第2の反転増幅手段と、該第2の反転増幅手段の入力部に一端が接続された第4の容量素子と、前記第2の反転増幅手段の入出力間に並列に設けられた第4のスイッチング手段と、前記反転増幅手段の入出力間に並列に設けられた第3の容量素子とを有することとを特徴とする請求項1又は請求項2に記載のアナログ-デジタル変換器。

【請求項3】 上位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記比較手段の参照電圧入力部に供給するための第1の電圧供給源と、下位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記参照電圧入力部に供給するための第2の電圧供給源とに接続されるように構成され、

30 前記参照電圧保持手段は、反転増幅手段と、前記第1の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第1の容量素子と、該第1の容量素子と前記反転増幅手段の入力部との間に設けられた第1のスイッチング手段と、前記第2の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第2の容量素子と、前記反転増幅手段の入出力間に並列に設けられた第2のスイッチング手段と、前記反転増幅手段の入出力間に並列に設けられた第3の容量素子とを有し、

前記参照電圧保持手段は、前記参照電圧入力部に一端が接続され、他端が接地された第1の容量素子と、前記第1の電圧供給源と前記参照電圧入力部との間に接続されるように構成された第1のスイッチング手段と、前記第2の電圧供給源と前記参照電圧入力部との間に接続されるように構成された第2の容量素子とを有することとを特徴とする請求項1又は請求項2に記載のアナログ-デジタル変換器。

40 前記参照電圧保持手段は、反転増幅手段と、前記第1の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第1の容量素子と、該第1の容量素子と前記反転増幅手段の入力部との間に設けられた第1のスイッチング手段と、前記第2の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第2の容量素子と、前記反転増幅手段の入出力間に並列に設けられた第2のスイッチング手段と、前記反転増幅手段の入出力間に並列に設けられた第3の容量素子及び第3のスイッチング手段の直列回路とを有し、前記第3の容量素子と前記第3のスイッチング手段との接続点が前記参照電圧入力部に接続されていることを特徴とする請求項1又は請求項2に記載のアナログ-デジタル変換器。

【請求項4】 上位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記比較手段の参照電圧入力部に供給するための第1の電圧供給源

50 と、下位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記参照電圧入力部に供給するための第2の電圧供給源とに接続されるように構成され、

前記参照電圧保持手段は、前記参照電圧入力部に出力部が接続された反転増幅手段と、前記第1の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第1の容量素子と、該第1の容量素子と前記反転増幅手段の入力部との間に設けられた第1のスイッチング手段と、前記第2の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第2の容量素子と、前記反転増幅手段の入出力間に並列に設けられた第2のスイッチング手段と、前記反転増幅手段の入出力間に並列に設けられた第3の容量素子とを有することとを特徴とする請求項1又は請求項2に記載のアナログ-デジタル変換器。

【請求項5】 前記比較手段は、第2の反転増幅手段と、該第2の反転増幅手段の入力部に一端が接続された第4の容量素子と、前記第2の反転増幅手段の入出力間に並列に設けられた第4のスイッチング手段と、前記サンプルホールド手段の出力電圧と前記参照電圧とのいずれかを選択的に前記第4の容量素子の他端に接続可能な第5のスイッチング手段とを有することとを特徴とする請求項1乃至請求項4のいずれか1項に記載のアナログ-デジタル変換器。

【請求項6】 上位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記比較手段の参照電圧入力部に供給するための第1の電圧供給源と、下位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記参照電圧入力部に供給するための第2の電圧供給源とに接続されるように構成され、

前記参照電圧保持手段は、反転増幅手段と、前記第1の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第1の容量素子と、該第1の容量素子と前記反転増幅手段の入力部との間に設けられた第1のスイッチング手段と、前記第2の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第2の容量素子と、前記反転増幅手段の入出力間に並列に設けられた第2のスイッチング手段と、前記反転増幅手段の入出力間に並列に設けられた第3の容量素子及び第3のスイッチング手段の直列回路とを有し、前記第3の容量素子と前記第3のスイッチング手段との接続点が前記参照電圧入力部に接続されていることを特徴とする請求項1又は請求項2に記載のアナログ-デジタル変換器。

【請求項7】 前記比較手段は、第2の反転増幅手段と、該前記第2の反転増幅手段の入出力間に並列に設けられた第4のスイッチング手段と、前記サンプルホールド手段の出力電圧と前記参照電圧とのいずれかを選択的

に前記第4の容量素子の他端に接続可能な第5のスイッチング手段とを有することを特徴とする請求項6に記載のアナログ・デジタル変換器。

【請求項8】 前記デジタル信号保持手段毎に保持された複数の前記デジタル信号を直列に走査する走査手段を有することを特徴とする請求項1乃至請求項7のいずれか1項に記載のアナログ-デジタル変換器。

【請求項9】 複数の光電変換素子と、請求項1乃至請求項8のいずれか1項に記載のアナログ-デジタル変換器とを有し、前記信号電圧は前記光電変換素子により光電変換されてなる電圧であることを特徴とするイメージセンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アナログ信号をデジタル信号に変換するアナログ-デジタル変換器（A D変換器）に関するものであり、特にイメージセンサ等の複数のアナログ信号を並列にデジタル信号に変換する場合に好適なA D変換器を提供するものである。

【0002】

【従来の技術】 画素が2次元上に配列されたイメージセンサにおいて光電変換されて得られたアナログ信号をデジタル信号に変換する方法としては、行単位で並列に保持されたアナログ信号を直列に読み出して1画素ごとにA D変換する方法のほか、列ごとにA D変換器を設けて1行毎に並列にA D変換する方法がある。このように行単位で並列にA D変換する方法の1つとして、特許公報第2532374号や学術文献“コラム間FPNのないコラム型A D変換器を搭載したCMOSイメージセンサ”（映情学技法、IPU2000-57、pp. 79-84）等に示されているシングルスロープ積分型A D変換器は簡単な構成でA D変換器が実現できるため、並列に設けても回路規模が大きくならないという特徴を有している。

【0003】 図9は上述の特許公報および文献に示されている、列ごとにシングルスロープ積分型A D変換器を有するイメージセンサを等価的に示したブロック図である。図において101はイメージセンサの画素であり、ここでは4行×4列のアレイ状に配置されている。各画素は行単位で読み出しやリセットの制御を行うための行選択信号線102に接続されるとともに、画素の信号を読み出すための垂直信号線103に列単位で接続されている。行選択信号線102は垂直方向に順次走査を行う垂直走査シフトレジスタ104に接続され、このシフトレジスタにより読み出しやリセットを行う行が選択される。一方、列ごとに設けられた垂直信号線103は、行単位で画素の信号を一時的に保持するサンプルホールド回路105に入力される。そのサンプルホールド回路105の出力信号Vsは2つの入力信号の大きさを比較して“H”または“L”的2値化信号を出力する比較器100の一方の入力に接続され、

10

20

30

40

50

比較器の他方の入力には参照電圧信号発生回路106により発生した参照電圧Vcが与えられる。この比較器100の出力は、入力されたクロック数をカウントし、2値化信号として出力するカウンタ107のカウントデータを保持するためのラッチ回路108に入力され、このラッチ回路には比較器の出力が反転したときのカウントデータが保持される。このカウンタ107の出力データは参照電圧Vcの電圧に対応した2値化信号であり、この2値化信号は信号線109を介して各ラッチ回路にデータ入力され、比較器出力が反転するとき、すなわち信号電圧Vsと参照電圧Vcを比較して両者が一致したときにカウンタの出力データを保持する。これにより、各ラッチ回路に保持された2値化データは信号電圧Vsに対応した2値化信号となる。このラッチ回路108で保持された2値化信号は、水平シフトレジスタ110を走査することにより信号線109を介して直列に読み出すことができる。

【0004】 図9における画素101とサンプルホールド回路105の具体的な例を示したのが図10および図11である。図10において画素はフォトダイオードPDとゲートに選択信号Φselectが与えられた選択トランジスタM1で構成され、トランジスタM1は選択的にPDと垂直信号線103を接続する。この垂直信号線上にはサンプルホールド機能を備えPDに蓄積された光電変換信号電荷を電圧に変換するための、電荷検出アンプ（図9の105に相当）が設けられている。この電荷検出アンプは反転増幅器20とその入出力間に並列に設けられたスイッチング素子21と容量素子22で構成され以下のように動作が行われる。まず、スイッチング素子21をオンして容量素子22のリセットを行う。その後スイッチング素子21をオフ、Φselect="H"としてM1をオンすると、PDに蓄積されていた信号電荷が容量素子22に転送され、Vsに信号電荷に対応した出力が表れる。このときPDは電荷が排出されリセットされた状態となる。この後M1をオフにしておくと、信号電圧Vsは次の信号を読み出すためにスイッチング素子21をオンするまで容量素子22により保持される。この期間は通常1行分の画素データを読み出す1水平走査期間であり、この信号Vsが保持されている期間にA D変換を行えば良いことになる。

【0005】 また、図11は画素内に増幅器をもち画素単位で信号増幅を行う画素増幅型イメージセンサの例である。画素は、フォトダイオードPDと、電荷をリセットするためのゲートがΦresetに接続されたリセット用トランジスタM2と、PDに蓄積された信号電圧を増幅する増幅トランジスタM3と、M3の出力を垂直信号線に選択して接続するためのゲートがΦselectで制御されるトランジスタM1で構成されている。図10の構成では、M1をオンして信号を選択すると、読み出しと同時に信号電荷がリセットされるため、読み出し用とリセット用の行選択信号線102は行ごとに1本で兼用できたが、画素増幅型イメージセンサでは11に示すように読み出しとリセットが別に

なるため、行選択信号線は読み出し用 (Φ read) とリセット用 (Φ reset) の2本となり、それぞれ読み出し用トランジスタM1のゲートとリセット用トランジスタM2のゲートに接続されている。M1を介してM3の出力が接続される垂直信号線103には、増幅トランジスタM3の負荷となるゲートにバイアス電圧Vbias1が印加された負荷用トランジスタM4が設けられM1がオンすると垂直信号線にPDに蓄積された信号電荷に対応した増幅出力が表れる。この出力はスイッチング素子21を介して容量素子22に保持され、バッファ23を介して、この保持された出力電圧Vsは次段に入力される。なお、この図ではバッファ23を記載しているが、もともと画素出力は画素内増幅器M3で増幅されるため、容量22に保持された信号電荷は増幅されたものであり、次段の入力インピーダンスが高ければ、バッファ23はなくても構わない。このように画素の信号を読み出している間にスイッチ21をオンして容量素子22に読み出し信号を蓄積した後に、スイッチ21をオフすれば出力信号Vsを保持することができ、次段入力インピーダンスが低ければバッファ23を設け、次段が比較器のような高入力インピーダンスならばバッファ23を省略して出力信号Vsを次段に伝達することができる。

【0006】図10および11に画素とサンプルホールド回路の具体例を示したが、次に行単位でサンプルホールド回路に保持されたアナログ信号Vsをデジタル信号に変換する動作を図12のタイミングチャートを用いて説明する。図12では大きく期間T1とT2に分かれているが、期間T1は列ごとに設けられたサンプルホールド回路に選択された行の画素信号を読み出して画素出力を記憶する期間である。この期間で行選択信号線 Φ selectまたは Φ readがオンして画素信号を読み出し、列ごとに設けられたサンプルホールド回路105に選択された行の画素信号が保持される。

【0007】次の期間T2は保持されたアナログ信号をデジタル信号に変換する期間である。サンプルホールド回路に保持されたアナログ信号電圧Vsは図9で示されたように比較器100の一方の入力に印加されている。また比較器の他方の入力には参照電圧Vcが印加されている。この参照電圧Vcは図12に示すように時間とともに電圧が高くなり、それに対応して図9のカウンタ回路107にはクロック(CLK)が入力されカウンタの出力データ(DATA)も1つずつ増えていく。図12ではDATAの信号は4ビットまとめて16進表示としている。ここで信号電圧Vsと参照電圧Vcを比較する比較器100の出力(Vcomp)は図12に示すように信号電圧Vsと参照電圧Vcが一致する前後で状態が変化する。この状態が変化したときのカウンタ出力であるData信号をラッチ回路に保持することにより、ラッチされた2値化信号はアナログ信号電圧Vsに対応したデジタル信号値となる。このような動作が並列に行単位で行われ、各ラッチ回路には列ごとにサンプルホールド回路に保持されたアナログ信号に対応したデジタル信号が得られる。そのデジタル信号を水平シフトレジスタ110にて直列に読み出すことでデジタル出力を得ることができる。

【0008】なお、図12では参照電圧Vcを連続的に変化するランプ波形としているが、これはカウンタ出力に対応してステップ状に変化する階段波形としても良い。また、図9では説明をわかりやすくするためコンバレータを差動入力形式で記述してあるが、実際には入出力間にスイッチが設けられたインバータと、インバータの入力に一端が接続された容量の他端に切替えスイッチで信号電圧Vsと参照電圧Vcが交互に与えられるチョッパ型の比較器が一般的に用いられている。

【0009】

【発明が解決しようとする課題】以上で説明したように、シングルスロープ積分型A/D変換器は各列に比較器とデジタルデータを保持するラッチ回路を設けるだけで良いため、行単位で並列にA/D変換を行っても比較的回路規模が大きくならないうえ、カウンタに入力するクロック周期を上げることで分解能を高くすること可能であるという利点がある。しかしながら、この方式では分解能を上げていくと次の問題が発生する。

【0010】図12ではカウンタは4ビット分ずなわち16回しかクロックを入力していないが、この入力クロック数は8ビットでは256回、10ビットでは1024回、12ビットでは4096回入力する必要がある。通常のビデオ信号処理では1水平走査期間は $64\mu\text{sec}$ 程度であるため、この制約からクロックの周期は最長でも8ビットで250nsec、10ビットでは63nsec、12ビットでは16nsecにしなければならない。またこれにともない比較器の遅延時間もこの周期以下にしなければならないため高速な比較器が必要になる。この高速な比較器を実現するには比較器のバイアス電流を大きくする必要があり、なおかつ、その比較器はイメージセンサの列数分必要なため高ビットにすると消費電流が非常に大きくなる。また、この比較器だけでなくカウンタやその出力バッファもクロック周期が短くなると消費電流が指数的に大きくなるため、高分解能の列並列形式のシングルスロープ積分型A/D変換器は消費電流が非常に大きくなるという問題を有している。

【0011】さらに、比較器の消費電流が大きくなるため副次的な問題として次のような問題も発生する。図9を見てわかるように比較器100は列ごとに設けられておりこのビッチはイメージセンサの画素ビッチで非常に小さいため、比較器の電源ラインやグランドラインは通常全列共通にとらざるをえない。そのため電源ラインやグランドラインに大きな電流が流れるとその電流により列の左端から右端の間で無視できない電圧降下が発生して、特にチョッパ型の比較器ではその電圧降下でしきい値電圧に誤差が発生して精度の良い比較ができなくなる。このため、比較器のバイアス電流が大きくなると電

源ラインやグランドラインを非常に大きくしなければならないためチップ面積増大につながるという問題も発生する。

【0012】以上に消費電流増大とチップ面積増大の2つの問題を記述したが、この2つの問題の原因は共通であり、A/D変換器の分解能を上げるとカウンタの周期を短くしなければならないため消費電流が増大することに起因する。したがって、本発明が解決しようとする課題は、列並列形式のA/D変換器において、この消費電流の増大を引きおこす高分解能時にカウンタの周期を短くしなければならないという問題を解決することにある。

【0013】

【課題を解決するための手段】本発明では課題を解決するために次のような手段を用いる。すなわち、本発明のアナログ・デジタル変換器は、複数の信号電圧を並列に保持する複数のサンプルホールド手段と、複数の該サンプルホールド手段からの出力電圧を共通の階段波状の参照電圧と比較する複数の比較手段と、上記参照電圧の変化に同期して与えられる共通の階段波のステップ数を表す2進化データから、上記各比較手段の比較結果が変化する時のデータを選択保持し、前記出力電圧に対応するデジタル信号を得るように、前記比較手段ごとに設けられたデジタル信号保持手段とを有し、前記2進化データを複数のデータビット域に分け、該複数のデータビット域にそれぞれ対応したステップ（例えば当該データビット域の最下位ビットに対応するステップ）で変化する階段波状の複数の前記参照電圧を各比較手段に共通に与える参照信号供給手段を設け、上位の前記データビット域に対応するステップ（例えば当該データビット域の最下位ビットに対応するステップ）で前記参照電圧を階段波状に変化させながら与えた場合における、前記比較手段の比較結果が変化する時点の当該参照電圧を保持する参照電圧保持手段を前記比較手段ごとに設け、前記参照電圧保持手段にて保持された前記参照電圧の値を起点として、下位の前記データビット域に対応するステップ（例えば当該データビット域の最下位ビットに対応するステップ）で前記参照電圧を階段波状に変化させるように構成したことを特徴とする。

【0014】本発明において、前記データビット域に対応するステップ（例えば当該データビット域の最下位ビットに対応するステップ）で前記参照電圧を前記比較手段の比較結果が変化するまで階段波状に変化させながら与える参照電圧供給段階を、最上位の前記データビット域に対応するステップ（例えば当該データビット域の最下位ビットに対応するステップ）で前記参照電圧を変化させる段階から最下位の前記データビット域に対応するステップで前記参照電圧を変化させる段階まで、前記参照電圧の変化方向を逆転させながら順次に実行するよう構成されていることが好ましい。

【0015】本発明において、上位の前記データビット

域に対応するステップで階段波状に変化する前記参照電圧を前記比較手段の参照電圧入力部に供給するための第1の電圧供給源と、下位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記参照電圧入力部に供給するための第2の電圧供給源とに接続されるように構成され、前記参照電圧保持手段は、前記参照電圧入力部の一端が接続され、他端が接地された第1の容量素子と、前記第1の電圧供給源と前記参照電圧入力部との間に接続されるように構成された第1のスイッチング手段と、前記第2の電圧供給源と前記参照電圧入力部との間に接続されるように構成された第2の容量素子とを有することが好ましい。

【0016】本発明において、上位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記比較手段の参照電圧入力部に供給するための第1の電圧供給源と、下位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記参照電圧入力部に供給するための第2の電圧供給源とに接続されるように構成され、前記参照電圧保持手段は、前記参照電圧入力部に出力部が接続された反転増幅手段と、前記第1の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第1の容量素子と、該第1の容量素子と前記反転増幅手段の入力部との間に設けられた第1のスイッチング手段と、前記第2の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第2の容量素子と、前記反転増幅手段の入出力間に並列に設けられた第2のスイッチング手段と、前記反転増幅手段の入出力間に並列に設けられた第3の容量素子とを有することが好ましい。

【0017】本発明において、前記比較手段は、第2の反転増幅手段と、該第2の反転増幅手段の入力部に一端が接続された第4の容量素子と、前記第2の反転増幅手段の入出力間に並列に設けられた第4のスイッチング手段と、前記サンプルホールド手段の出力電圧と前記参照電圧とのいずれかを選択的に前記第4の容量素子の他端に接続可能な第5のスイッチング手段とを有することが好ましい。

【0018】本発明において、上位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記比較手段の参照電圧入力部に供給するための第1の電圧供給源と、下位の前記データビット域に対応するステップで階段波状に変化する前記参照電圧を前記参照電圧入力部に供給するための第2の電圧供給源とに接続されるように構成され、前記参照電圧保持手段は、反転増幅手段と、前記第1の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第1の容量素子と、該第1の容量素子と前記反転増幅手段との間に設けられた第1のスイッチング手段と、前記第2の電圧供給源と前記反転増幅手段の入力部との間に接続されるように構成された第2の容量素子と、前記反転増幅

手段の入出力間に並列に設けられた第2のスイッチング手段と、前記反転増幅手段の入出力間に並列に設けられた第3の容量素子及び第3のスイッチング手段の直列回路とを有し、前記第3の容量素子と前記第3のスイッチング手段との接続点が前記参照電圧入力部に接続されていることが好ましい。

【0019】本発明において、前記比較手段は、第2の反転増幅手段と、該前記第2の反転増幅手段の入出力間に並列に設けられた第4のスイッチング手段と、前記サンプルホールド手段の出力電圧と前記参照電圧とのいずれかを選択的に前記第4の容量素子の他端に接続可能な第5のスイッチング手段とを有することが好ましい。

【0020】本発明において、前記デジタル信号保持手段毎に保持された複数の前記デジタル信号を直列に走査する走査手段を有することが好ましい。

【0021】また、本発明のイメージセンサは、複数の光電変換素子と、請求項1乃至請求項7のいずれか1項に記載のアナログ-デジタル変換器とを有し、前記信号電圧は前記光電変換素子により光電変換されてなる電圧であることを特徴とする。この場合に、光電変換素子とアナログ-デジタル変換器とが半導体基板上に一体に構成されていることが望ましい。

【0022】本発明のより具体的な構成としては、光電変換された複数の信号電圧を並列に保持する複数のサンプルホールド手段と、その複数のサンプルホールド手段からの出力電圧を、共通の階段波状の参照電圧と比較する複数の比較手段と、上記参照電圧の変化に同期して与えられる共通の階段波のステップ数を表す2値化データから、上記各比較手段の比較結果が変化する時のデータを選択保持し、それぞれの出力電圧に対応するデジタル信号を得る上記比較手段ごとに設けられたデジタル信号保持手段と、得られた複数のデジタル信号を直列に走査する走査手段と、を有するアナログ-デジタル変換器において、前記2値化データを上位ビットと下位ビットの2つに分けたデジタル信号保持手段と、上位ビットと下位ビットに対応した2つの階段波状の参照電圧を各比較器に共通に与える手段と、上位ビットに対応する階段波状の参照電圧を比較手段の比較結果が変化するときにその参照電圧を保持する参照電圧電圧保持手段を上記比較手段ごとに設けたことを特徴とするイメージセンサ用アナログ-デジタル変換器である。

【0023】このように2値化データを上位ビットと下位ビットに分けたうえでこれらの上位ビットと下位ビットに対応する少なくとも2つの参照電圧を用いて比較することにより、シングルスロープ型では8ビットで256クロックが必要であったのに対して、本発明では上位4ビット分のクロック数16クロックに、下位4ビット分のクロック数16クロックを加えた計32クロックとシングルスロープ型の1/8のクロック数で同じ8ビットのA/D変換を行うことが可能となる。これによりクロ

ック周期を長くすることができるため、比較器の遅延時間を十分にとることが可能となり、消費電流の低い比較器を使用することができ、消費電流を低減できる。更に、クロック周波数も低くなるためカウンタ等のデジタル部での消費電流も少くなり、大幅な消費電流低減が可能となる。

【0024】これは高分解能になるほど効果は大きく、シングルスロープ型では10ビット、12ビットでそれぞれ1024クロック、4096クロックが必要なのに10に対して、本発明では10ビットでは5ビット分である32クロックの2倍の64クロック、12ビットでは6ビット分である64クロックの2倍の128クロックと、それぞれ1/16、1/32にクロック数を低減できる。消費電流は帯域に対して、アナログ部ではおよそ2乗特性で、デジタル部では指數的に効いてくるため、本発明を用いることで格段に消費電流を低減できることがわかる。

【0025】また、前記電圧保持手段は、比較器の入力に一端が接続され他端が接地された第1の容量素子と、上位ビット用の参照電圧を前記第1の容量に与える第1のスイッチング手段で構成されるとともに、下位ビット用の参照電圧が第2の容量素子を介して、第1の容量素子の比較器側の端子に与えるように構成するのが良い。これにより、1つの比較器で上位ビットの判別と下位ビットの判別を行うことができる。

【0026】また、前記参照電圧保持手段を、反転増幅手段と、前記反転増幅手段の入力に一端が接続された第1のスイッチング手段と、反転増幅手段の入出力間に並列にそれぞれ設けられた第2のスイッチング手段及び第3の容量素子と、前記第1のスイッチング手段の他端に一端が接続されもう一端に前記サンプルホールド手段の出力電圧か上位ビットに対応する参照電圧かのいずれかが別(第5)のスイッチング手段を介して与えられる第1の容量素子と、で構成されるサンプルホールド手段の出力電圧と上位ビット用の参照電圧との差分電圧を増幅して保持する回路構成とするとともに、第2の容量素子を前記反転増幅手段入力端子と下位ビット用の参照電圧との間に設け、第2の容量を介して下位ビット用参照電圧を与えるように構成するのが良い。これにより比較器の入力端子部分での寄生容量の影響を受けにくくすることができるため、上位ビットと下位ビットのステップの比をより正確にすることが可能となる。

【0027】さらに前記反転増幅手段の入出力間に設けられた第2のスイッチング手段が導通状態となり初期値を記憶するときに、反転増幅手段の入出力間に設けられた第3の容量素子の反転増幅手段出力に接続する端子を反転増幅手段出力から切り離す第3のスイッチング手段と、その切り離された容量の端子に、比較器のしきい値電圧を与える手段を設ける構成とするのが良い。これにより、容量を削減できる分回路面積を小さくすることが

できる。

【0028】

【発明の実施の形態】 [第1実施形態] 図1に本発明を用いたイメージセンサの構成を示す。図9と同じ要素について同一の符号で示している。図9と同様に101はイメージセンサの画素であり、ここでは3行×4列としている。各画素は行単位で読み出しやリセットの制御を行うための行選択信号線102に接続されるとともに、画素の信号を読み出すための垂直信号線103に列単位で接続されている。行選択信号線102は垂直方向に順次走査を行う垂直走査シフトレジスタ104にて接続されている。一方、列ごとに設けられた垂直信号線103は、行単位で画素の信号を一時的に保持するサンプルホールド回路105に投入される。そのサンプルホールド回路105の出力Vsは2つの信号の大きさを比較して"H"または"L"の2値化信号を出力する比較器100の一方の入力に接続される。ここまで構成は図9と全く同じであり、画素やサンプルホールド回路の構成も図10や図11で示した構成と同じにすることができる。

【0029】図9と異なるのは比較器の他方の入力であり、この入力端子には参照電圧信号発生回路111(第1の電圧供給源)で発生した参照電圧Vc1がスイッチSW1(第1のスイッチング手段)を介して与えられるとともに、この参照電圧Vc1を保持するための一端が接地された容量C1(第1の容量素子)が設けられている。さらにこの容量C1には、もう1つ設けられた参照電圧信号発生回路112(第2の電圧供給源)で発生した参照電圧Vc2が容量C2(第2の容量素子)を介して接続されている。このような構成にすることにより、スイッチSW1が導通状態の時はこの比較器の入力端子には参照電圧Vc1が与えられ、その後スイッチSW1が非導通状態になったときは、保持された参照電圧Vc1に対して容量比C2/(C1+C2)の割合で参照電圧Vc2の電圧変化分が伝えられる。

【0030】この参照電圧Vc1はステップ状の階段波信号であり、Vc1が比較器のしきい値となる入力信号電圧Vsをまたぐ前後で比較器100の出力は反転する。その後参照電圧Vc2をVc1とは逆方向にステップ状に変化させると、さらにもう1回比較器100の出力は反転する。この2回の比較器出力の反転信号に対して、1回目はカウンタ113の2値化信号出力を比較器ごとに設けられたラッチ回路115に保持する。また、2回目はカウンタ114の2値化信号出力を比較器ごとに、更にもう1つ設けられたラッチ回路116に保持する。これらの2つのカウンタ113および114の2値化信号は信号線117、118を介して各ラッチ回路に入力されるとともに、2つのラッチ回路115、116に保持された2値化信号は、水平シフトレジスタを走査することで信号線117、118を介して直列に読み出される構成になっている。なお、参照電圧Vc1がステップ状に変化して比較器出力の反転によりラッチ信号が発生するときに、そのラッチ信号でスイッチSW1をオフす

ることで反転した時点のVc1の電圧を容量C1に保持することができる。

【0031】このように比較器に与える参照電圧を2つの信号Vc1とVc2で与え、Vc1とVc2のステップ状の電圧により比較器の入力端子ノードで生ずるステップ電圧幅の比を、実行しようとするA/D変換のビット数を上位ビットと下位ビットの2つに分け、その上位ビットと下位ビットの重み付けの比と一致するように設定し、カウンタ113の2値化信号出力を参照電圧Vc1のステップ状の変化10に対応した上位ビット信号とし、カウンタ114の2値化信号出力を参照電圧Vc2のステップ状の変化に対応する下位ビット信号に相当させる。

【0032】例えば8ビットのA/D変換を行う場合は、上位4ビット、下位4ビットに分け、Vc1とVc2による比較器入力端子のステップ電圧幅の比を16:1とするとともに、カウンタ113で上位4ビットをカウントし、カウンタ114で下位4ビットをカウントする。また、ラッチ回路115と116でそれぞれ上位4ビット、下位4ビットを保持するように構成すれば8ビットのA/D変換を行うことが可能となる。このような構成をとることで、図9の構成では8ビットのA/D変換を行うのにカウンタで256ステップのカウントが必要なのに対して、この構成ではカウンタ113で上位4ビット分の16ステップ、カウンタ114で下位4ビット分の16ステップの計32ステップでA/D変換が終了できる。このため、同じ期間でA/D変換を実行する場合、図1の構成ではカウンタの周期を図9の構成に対して8倍まで長くすることができ、比較器の帯域を狭くしても良いため低消費電流化を図ることができる。

【0033】次に図2にラッチ信号を発生させる具体的な構成を示すとともに、図3にタイミングチャートを示してより詳しく動作を説明する。図2においてVsはサンプルホールド回路に保持されている入力信号で、Vc1とVc2は上位ビット用と下位ビット用の2つの参照電圧である。スイッチSW1、容量C1、C2および比較器100は図1と同じ構成であり、比較器の一方の入力には入力信号Vsが与えられ、他方の入力にはスイッチSW1を介して参照電圧Vc1が与えられるとともに、比較器が反転したときのVc1の電圧を保持するための容量C1が設けられている。また、この比較器入力端子には容量C2を介してもう1つの参照電圧Vc2が与えられている。比較器の出力は他方の入力端子にウインドウ信号中w1が与えられたNAND回路11を介してR-Sフリップフロップ14の一端に入力されている。このR-Sフリップフロップ14の出力が上位ビットのカウンタ出力をラッチするためのラッチ信号中LA1となる。なお、このラッチ信号中LA1はスイッチSW1のオン、オフを制御する信号としても用いられる。またこの系とは別に、比較器の出力はインバータ12により反転され、他方の入力端子にウインドウ信号中w2が与えられたNAND回路13を介してR-Sフリップフロップ15の一端に入力さ

れている。このR-Sフリップフロップ15の出力が下位ビットのカウンタ出力をラッチするためのラッチ信号中LA2となる。これらのR-Sフリップフロップ14および15はリセット信号中rの反転信号x中rが片方の入力に与えられこれによりリセットされる。

【0034】この回路の動作を図3のタイミングチャートを用いて説明する。動作は大きくT1からT3の3つの動作に分けられる。まず期間T1ではサンプルホールド回路に画素信号を保持するとともに、カウンタやR-Sフリップフロップ回路をリセットする期間である。タイミングチャートには示していないがこの期間で読み出される行が選択され、画素の信号がサンプルホールド回路に保持される。また、信号中rが'H'となり、R-Sフリップフロップ回路がリセットされ、ラッチ信号中LA1と中LA2が'H'となる。また、この期間にカウンタの出力データもリセットされる。

【0035】次の期間T2では上位ビットの比較が行われて、上位ビットのデジタルデータが保持される。この期間では上位ビット用の参照電圧Vc1がステップ状に変化するとともにそれに従って、上位ビットに対応したカウンタの出力であるDATA1が1つずつ大きくなる。ここでは簡略化して上位2ビット、下位2ビットとしており、ステップ数は4段となる。この参照電圧Vc1がステップ状に一段ずつ電圧が大きくなると、それと同じ電圧が比較器の入力端子電圧Vc0として与えられる。図3ではVc0は4倍のスケールで示しているが、T1からT2の初期の部分での電圧は参照電圧Vc1と全く等しい電圧値となる。この入力端子電圧Vc0はもう一方の入力端子に印加されている信号電圧Vsを越すと比較器の出力は反転して上位ビット用のラッチ信号中LA1も反転して上位ビット用のラッチ回路にカウンタデータが保持されるとともに、スイッチSW1がオフしてC1にはそのときの電圧Vc1が保持される。ここで比較器の出力はウインドウ信号中w1により遅延されR-Sフリップフロップに入力されているが、これは、比較器出力を直接入力するとVc1が立ち上がっているときにスイッチSW1がオフしてステップの平らな部分の電圧でなく途中の電圧を保持してしまうのを防ぐためである。したがって図2に示すようにウインドウ信号中w1を入力したNAND回路を介すことにより参照電圧の平らな部分でVc1の電圧を保持するようにしている。このタイミングは図3の中w1を見ればわかるようにウインドウ信号を参照電圧のステップの後ろ側で'H'となるようにしており、C1に保持される電圧は参照電圧Vc1の安定した領域の電圧となる。この電圧は比較器が反転したときに保持され、その後参照電圧Vc1が大きくなってしまって、比較器の入力端子にかかる電圧Vc0は変化しない。

【0036】次の期間T3では、もう一方の参照電圧Vc2をVc1とは逆方向にステップ状に下げるとともに、下位ビット用のカウンタデータをそのステップに合わせてカウントダウンしながら下位ビットの量子化を行う。この

とき入力端子電圧Vc0の電圧変化分が上位ビットと下位ビットの重み付けの比と等しくなるようにする必要がある。例えば、図3のタイミングチャートでは上位2ビット、下位2ビットに分けて4ビットのAD変換を行う様子を示しているが、このとき上位ビットの量子化を行う時の入力端子電圧Vc0の電圧ステップ幅に対して、下位ビットの量子化を行うときはVc0の電圧ステップ幅を前者の1/4としている。このためには容量C1とC2の比で調整するか、参照電圧Vc1とVc2のステップの比で調整すれば良い。図3はC1:C2=3:1として入力端子電圧Vc0の上位ビットと下位ビットの比を4:1としている。このようにこのステップの比を正確に出すことで、図3をみてもわかるように比較器の入力端子電圧Vc0は、上位ビットの1つのステップを下位ビットのステップ数で均等に分けるようなステップ電圧が与えられる。ここで再びVc0が、しきい値電圧となるVsをまたぐときに下位ビット用のR-Sフリップフロップ回路15のラッチ信号中LA2が反転してこのときのカウンタデータ(DATA2)を下位ビット用のラッチ回路に保持する。このようにして上位ビットと下位ビットの2値化信号が各列ごとに得られるので、水平走査回路によりこの量子化されたデータを直列に読み出すことができる。なお、期間T3でもラッチ信号中LA2はウインドウ信号中w2により制限された期間にしか発生しないようになっているがこれは、期間T2のときにラッチ信号が発生することを防ぐために設けている。

【0037】図3と図12のタイミングチャートを比較してわかるように画素の信号を読み出す期間T1を除くと、図12では4ビットのAD変換で16クロック必要なに対し、図3では8クロックで良いのがわかる。この差はAD変換器の分解能が高くなるにしたがって大きく差がつき、前述したが12ビットのAD変換を従来方式で行うと4096クロック必要なに対し、本発明の方式では128クロックだけで良い。したがって本方式を用いることでクロック数を大幅に低減でき、比較器の消費電流低減と、カウンタなどのデジタル部の消費電流低減により大幅な低消費電流化が実現できる。

【0038】【第2実施形態】図1および2では説明をわかりやすくするために比較器として差動入力形式の比較器を用いていたが、実際にはこのような形式の比較器では列ごとに設けた比較器のオフセット電圧のばらつきにより誤差が発生するため、一般的には図4に示す比較器のオフセット電圧をキャンセルすることができるチャップ型の比較器が用いられる。このチャップ型の比較器を用いた実施例について図4に基づき説明する。

【0039】図4において図2で示した比較器100は、入出力端子間にスイッチSW3(第4のスイッチング手段)が設けられた反転増幅器1(第2の反転増幅手段)と入力に一端が接続された容量C3(第4の容量素子)で構成される。この容量C3の他端にはサンプルホールド回

路で保持された信号電圧Vsと参照電圧Vc1のいづれかを選択的に接続するスイッチSW2（第5のスイッチング手段）がスイッチSW1（第1のスイッチング手段）を介して接続される。また、図2で示した容量C1とC2およびスイッチSW1は図2と同じような構成をとり比較器の入力である容量C3に接続されている。なお図4には示していないが、この比較器の出力Vcompの先には図2と同様な構成でラッチ信号を発生する回路が接続され、これらの動作は図3のタイミングチャートにしたがって同じように動作する。

【0040】この比較器は次のように動作する。まず、期間T1で $\Phi_r = "H"$ のときは反転増幅器の入出力端子間はスイッチSW3により短絡されるため、容量C3の反転増幅器入力端子側の電圧は、反転増幅器1のしきい値電圧Vthとなる。また、C3の他端はスイッチSW2が入力信号電圧Vsに接続され、容量C3にはVs-Vthの電圧が記憶される。その後期間T2ではSW3はオフするとともに、SW2は参照電圧Vc1側に接続され参照電圧Vc1には図3に示すようなステップ状の波形が与えられる。このとき容量C3にはVs-Vthの電圧が保持されるため反転増幅器1の入力端子電圧Vc0はVc1-Vs+Vthとなり、また、反転増幅器1のしきい値電圧はVthであるため、参照電圧Vc1が入力信号電圧Vsをまたぐ前後でVcomp出力は反転する。これにより、前述の実施例と同様にスイッチSW1がオフしてこのときの参照電圧Vc1はC1に保持されるとともに、上位ビットのカウンタデータもラッチされる。そして期間T3では参照電圧Vc2がステップダウンして再び反転増幅器出力が反転したときの下位ビットのカウンタデータがラッチされる。

【0041】このようにチョッパ型の比較器を用いると、図2では常時他方の入力に印加されていた信号入力Vsは、図4の形式では信号読出し時でデジタル部のリセット時でもある期間T1に印加されるだけとなるが、比較および比較器が反転した時点の参照電圧Vc1の保持に関しては図2の実施例と同様な動作が行われる。この形式の比較器では、しきい値電圧Vthがリセット時の期間T1で容量C3に記憶され、そのオフセット分が参照電圧との比較時においてはキャンセルされるため、反転増幅器のしきい値電圧がばらついても正確な比較が行われる。このチョッパ型の比較器を本発明に用いることによりA/D変換の精度を上げることが可能となる。

【0042】【第3実施形態】図2および図4の実施例において、参照電圧Vc1は接地された容量C1を用い保持され、そのC1に対して容量比を適切に合わせたC2を介して参照電圧Vc2をステップ状に与えることで、上位ビットに対する電圧ステップと下位ビットの電圧ステップの比を最適にしていた。しかしながら、実際のチップ上にこのような回路を構成するときには、比較器の入力端子のノードには回路上には示されない、スイッチSW1や比較器100の入力容量に起因する寄生容量が存在し、その

寄生容量には電圧依存性があるため容量比を正確に出すことは難しい。特にA/D変換器の量子化ビット数が大きくなるに従い、容量比をより正確にする必要があるため、この寄生容量の影響は無視できなくなる。そこで、次に上位ビットと下位ビットのステップ幅の比を寄生容量の影響を受けずに正確に出すことができる回路構成を図5に示す。

【0043】図5において比較器100は図4と同じ構成で入出力間にスイッチSW1を設けた反転増幅器1とその入力に一端が接続された容量C3で構成される。図5において特徴的なのはこの比較器の入力の前にさらにもう1つの反転増幅器2（反転増幅手段）を配置し、その入出力間にスイッチSW4（第2のスイッチング手段）と帰還容量C4（第3の容量素子）を並列に設けるとともに、その入力端子には容量C5（第1の容量素子）および容量C6（第2の容量素子）の一端が接続され、それらの容量の他端には参照電圧Vc1およびVc2が与えられる構成となっている点である。なお、参照電圧Vc1を保持するために容量C5と反転増幅器2の入力端子の間にはスイッチSW1（第1のスイッチング手段）が設けられ、図2や図4と同様に上位ビット用のラッチ信号 Φ_{LA1} でこのスイッチは制御されている。また、C5の他端にはスイッチSW2（第5のスイッチング手段）が設けられ、入力信号Vsと参照電圧Vc1が選択的に与えられるようになっている。なお図5には示していないが、この比較器の出力Vcompの先には図2と同様な構成でラッチ信号を発生する回路が接続される。

【0044】このような構成をとることで参照電圧Vc1およびVc2は比較器100の入力にそれぞれ-C5/C4、-C6/C4のゲインをもった反転出力で伝達する。このとき比較器の入力に与えられる電圧は反転増幅器2による増幅出力であるため、比較器入力に寄生容量があっても出力電圧は影響を受けない。また反転増幅器2の入力側にも反転増幅器の入力寄生容量やスイッチSW1の寄生容量が存在するが、このノードの電位は、反転増幅器2の入出力間に設けられたスイッチSW4や容量C4により帰還がかかり、いつも一定となっていて電位が変動しないため、この部分に存在する寄生容量も出力電圧には影響を及ぼさない。したがって2つの参照電圧に対する比較器の入力端子における電圧ステップの比は寄生容量の影響をうけずにC5とC6の容量比のみによって決まるため正確に比を出すことが可能となり高ビットのA/D変換を精度良く行うことが可能となる。

【0045】次にこの回路の動作を図6のタイミングチャートを用いながら説明する。図3と比較するとわかるようにほとんどは図3と同様な信号となっているが、比較器に入力される電圧Vc1がゲインをもった反転信号となっている点と、チョッパ型の比較器を用いているため、比較器の出力がリセット時に反転増幅器1のしきい値電圧Vth1となっている点が異なっている。動作は大き

く3つの期間に分かれ、期間T1ではデジタル部がリセットされるとともに選択された行の画素信号が読み出され、画素信号に対応した入力信号電圧VsがスイッチSW2を介して容量C5の一端に与えられる。この期間T1では反転増幅器1および2の入出力間はそれぞれスイッチSW3、SW4で短絡されるため、それらの入出力端子の電圧はそれぞれのしきい値電圧Vth1、Vth2となる。したがって、容量C3には反転増幅器1と2のしきい値電圧の差が*

$$Q = C4*(Vth2 - Vc0) + C5*(Vth2 - Vs) + C6*(Vth2 - Vc2) \dots (1)$$

$$Vc0 = Vth2 \dots (2)$$

【0046】つぎに期間T2でスイッチSW3、SW4がオフしてスイッチSW2は参照電圧Vc1側に接続される。そのときも反転増幅器2の入力端子電圧は帰還容量C4によりVth2に保たれるため、ノードN1の電荷Q'は式(3)のように表される。電荷保存則を用いるとQ=Q'となり、比較器の

$$Q' = C4*(Vth2 - Vc0') + C5*(Vth2 - Vc1) + C6*(Vth2 - Vc2) \dots (3)$$

$$Vc0' = Vth2 - C5/C4*(Vc1 - Vs) \dots (4)$$

【0047】式(4)においてVc1=VsのときにVc0'=Vth2となり、C3にはVth1-Vth2の電位が記憶されているため、反転増幅器1の入力電圧はしきい値であるVth1となり比較器出力Vcompが反転する。これにより、ウンドウ信号Φw1で少し遅延してラッチ信号ΦLA1が反転すると、上位ビット用のカウンタデータDATA1が上位ビット用のラッチ回路に保持される。このとき同時に、スイッ★

$$Vc0'' = Vth2 - C5/C4*(Vc1' - Vs) + C6/C4*ΔVc2 \dots (5)$$

【0048】図6に示すように、参照電圧Vc2がステップ状に変化するとそれに従い比較器の入力電圧Vc0も反転した形でステップ状に動き、Vc0''=Vth2となったときに再び比較器出力Vcompは反転する。この反転信号はウンドウ信号Φw2により少し遅延され伝達して下位ビット用のラッチ信号ΦLA2が少し遅れて反転する。このとき下位ビットに対応するカウンタデータが下位ビット用のラッチ回路に保持される。このようにして2つのラッチ回路に上位ビットと下位ビットの2値化信号が保持されるので、このデータを図1で示した水平走査回路110にて読み出すことで、デジタル出力を得ることができる。

【0049】式(5)をみるとわかるように参照電圧Vc1はC5/C4のゲインをもち、参照電圧Vc2はC6/C4のゲインもちVc0に伝達する。図6のタイミングチャートではC5/C4=4、C6/C4=1として上位ビットと下位ビットの電圧ステップ幅の比を4:1としている。図2や図4の実施例と同様に容量比で上位ビットと下位ビットの電圧ステップ幅の比を合わせているが、このように反転増幅器を介して比較器に与える上位ビットと下位ビットの参照電圧の比を作ることにより、寄生容量の影響を受けずに反転増幅器入力と2つの参照電圧を接続する2つの容量の比のみによって、正確な電圧ステップの比が実現できる。さらにこのような形式をとることにより、上位ビットの参照電圧を比較器の入力部にゲインをかけて伝える

* 記憶され参照電圧との比較時においてしきい値電圧のばらつきがキャンセルされる。また、容量C4の両端の電位差はゼロとなり、容量C5にはVth2-Vsの電圧が、容量C6にはVth2-Vc2を与える。このとき反転増幅器2の出力であり比較器100の入力となる電圧Vc0はしきい値電圧Vth2となり、反転増幅器2の入力ノードN1の電荷Qは次のように表される。

※入力電圧Vc0'は式(4)のように求められる。式(4)をみるとわかるように、Vc0'はVc1に対してC5/C4のゲインをもった反転信号となり、Vc1=Vsのときにしきい値電圧Vth2となる。図6のタイミングチャートではこのC5/C4のゲインを4として波形を示している。

★チSW1はオフとなり、そのときの参照電圧Vc1'は帰還容量C4/C4-C5/C4*(Vc1'-Vs)という形で表されるように、20入力信号Vsとの差分の電圧値として保持される。その後、期間T3で参照電圧Vc2がステップ状に変化してVc2'になったときの比較器の入力電圧Vc0''は、参照電圧Vc2の電圧変化分Vc2'-Vc2を-ΔVc2とすると以下の(5)式で表される。

ことができるため、比較器におけるしきい値電圧のばらつきがあったとしても、ゲインをかけた分その影響を受けにくくなるという優位点も合わせ持っている。

【0050】【第4実施形態】図5では比較器にチョップ型の比較器を用いるため容量C3を介して反転増幅器1にVc0を入力していたが、図7に示すような形式にすることで容量C3を省略することができ、回路面積を減らすことができる。図7において反転増幅器1(第2の反転増幅手段)の入力は容量C4(第3の容量素子)の、反転増幅器2(反転増幅手段)の出力側に接続する端子に直接つながれている。また、このノードと反転増幅器2の出力端子間にはリセット時にオフするように、Φrの反転信号xΦrで制御されるスイッチSW5(第3のスイッチング手段)が新たに設けられている。なお、この例においても、上記と同様のスイッチSW1(第1のスイッチング手段)、スイッチSW4(第2のスイッチング手段)、スイッチSW2(第5のスイッチング手段)、容量C5(第1の容量素子)、容量C6(第2の容量素子)が設けられる。また、この実施例の比較器100には、反転増幅器1(第2の反転増幅手段)と、この反転増幅器1の入出力間に接続されたスイッチSW3(第4のスイッチング手段)とが設けられ、容量C3(第4の容量素子)は接続されていない。

【0051】このような構成にすることで、図5では2つの反転増幅器1と2のしきい値電圧の差Vth1-Vth2を

容量C3に記憶してオフセット電圧のばらつきをキャンセルしていたのに対して、図7では容量C4に記憶することで同様な効果を得ることができる。また、図5と図7を比較すると容量C3が減った代わりに、スイッチSWSが増えているが、実際に回路のレイアウトを行うとスイッチングトランジスタの寸法と比較して容量は数倍のレイアウト寸法が必要なため容量を削減したほうが回路面積を小さくできる。したがって図7の構成を用いることにより、図5と同様な効果をより小さな回路面積で実現することが可能である。

【0052】【第5実施形態】これまで列単位で並列にAD変換を行う発明の実施例を示して、本発明によりAD変換を行うときのカウンタのクロック数を減らすことができ、消費電流の低減が可能なことを説明してきた。次に本発明により回路面積の削減も可能なことを示す実施例を図8に示す。図8は図1で列単位に設けられているAD変換用の比較器とラッチ回路を、2列に1つとした構成を示したものである。画素の配列部分は図1と全く同じ構成であり、サンプルホールド回路も同じように列ごとに設けられている。また、AD変換部の各要素の構成は図1と全く同じであるが、サンプルホールド回路105の2列分の出力をスイッチ119で切替えて、2列に1つ設けられたAD変換器に2列分のサンプルホールド回路の信号電圧を交互に与える構成となっている点が図1と異なっている。

【0053】このような構成において1行分のAD変換を行うためには、図3や図6で示したタイミングチャートに従い、1水平走査期間にスイッチ119を切替えて2回AD変換行えば良い。このようにするとタイミング的にはクロック周期を半分にしなければならないが、AD変換部の回路規模をほぼ1/2に削減することができる。さらにAD変換部を4列に1つとすれば、クロック周期を1/4にする代わりにAD変換部の回路規模を1/4に削減できる。本発明の構成では、前述したように8ビットのAD変換においては従来例に対して、クロックレートを1/8まで下げられるため従来例と同じクロックレートを維持するならば、AD変換部を8列に1つとして、AD変換部の回路規模をほぼ1/8にすることができる。このときAD変換部1つあたりの消費電流や回路規模は、従来の構成と比較すると若干大きくなるが、このAD変換部を1/8に削減できる効果により、トータルでは回路規模および消費電流とともに従来の構成より小さくすることが可能となる。このように本発明は消費電流の低減のみでなく回路規模削減にも有効であることがわかる。

【0054】

【発明の効果】本発明によれば、例えば、行単位で読み出されるイメージセンサ出力を少ないクロック数で並列にAD変換することが可能となり、高分解能のAD変換を低消費電力で実現できる。また、AD変換部を複数列

に1つとすることで回路規模の削減が可能となる。

【図面の簡単な説明】

【図1】本発明に係るデジタル出力が可能なイメージセンサを表した回路構成図である。

【図2】図1のAD変換部の第1実施形態を示す一列分の回路図である。

【図3】図2の動作を説明するためのタイミング図である。

【図4】AD変換部の第2実施形態を示す回路図である。

【図5】AD変換部の第3実施形態を示す回路図である。

【図6】図5の動作を説明するためのタイミング図である。

【図7】AD変換部の第4実施形態を示す回路図である。

【図8】本発明に係るデジタル出力が可能なイメージセンサを表した第5実施形態となる回路構成図である。

【図9】従来のデジタル出力が可能なイメージセンサを表した回路構成図である。

【図10】イメージセンサの画素およびサンプルホールド回路の一例を示す回路図である。

【図11】イメージセンサの画素およびサンプルホールド回路の他の例を示す回路図である。

【図12】図9の動作を説明するためのタイミング図である。

【符号の説明】

C1~C6 容量素子

SW1~SW5 スイッチング素子

1,2 反転増幅器

11,13 N AND回路

12 インバータ回路

14,15 R-Sフリップフロップ回路

20 反転増幅器

21 スイッチング素子

22 サンプルホールド用容量

23 バッファ

100 比較器

101 画素

40 102 行選択信号線

103 垂直信号線

104 垂直走査回路

105 サンプルホールド回路

106,111,112 参照電圧発生回路

107,113,114 カウンタ回路

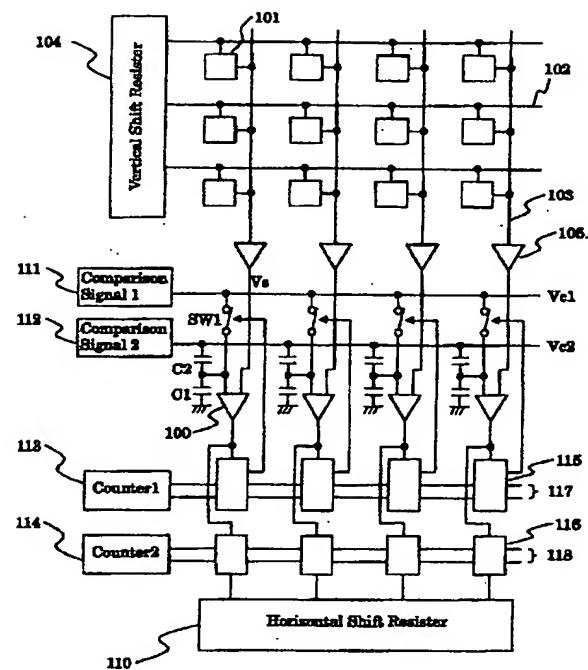
108,115,116 ラッチ回路

109,117,118 データ信号線

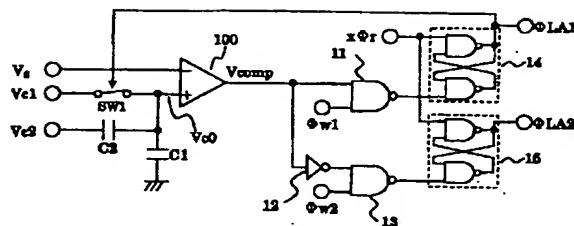
110 水平走査回路

119 切替えスイッチ

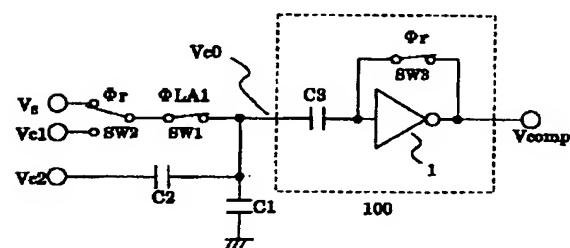
【図1】



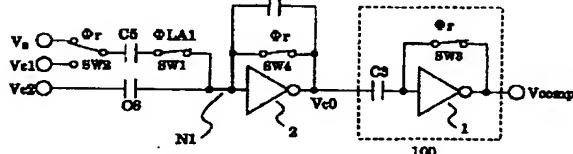
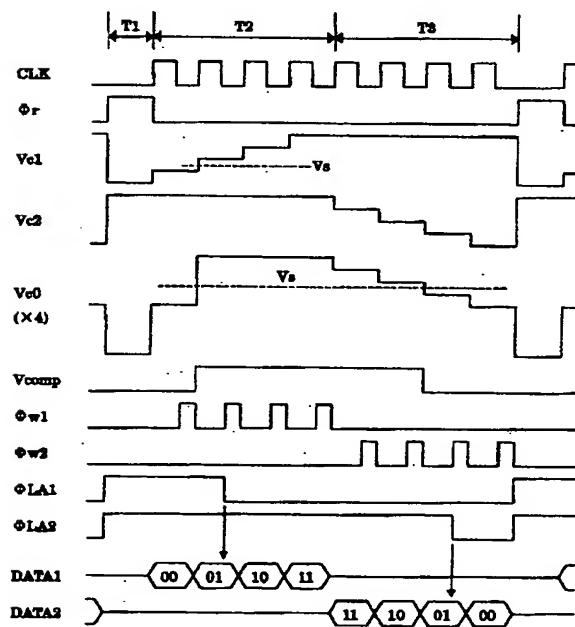
【図2】



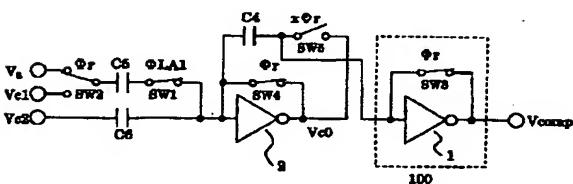
【図4】



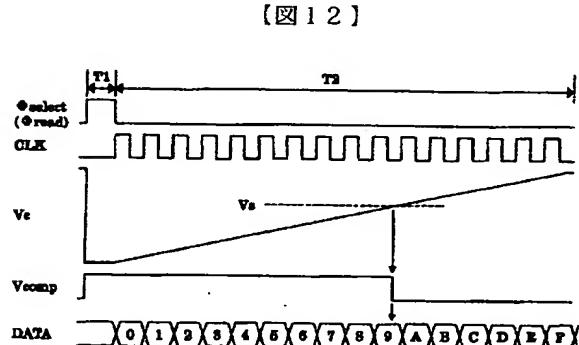
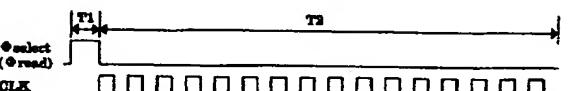
【図3】



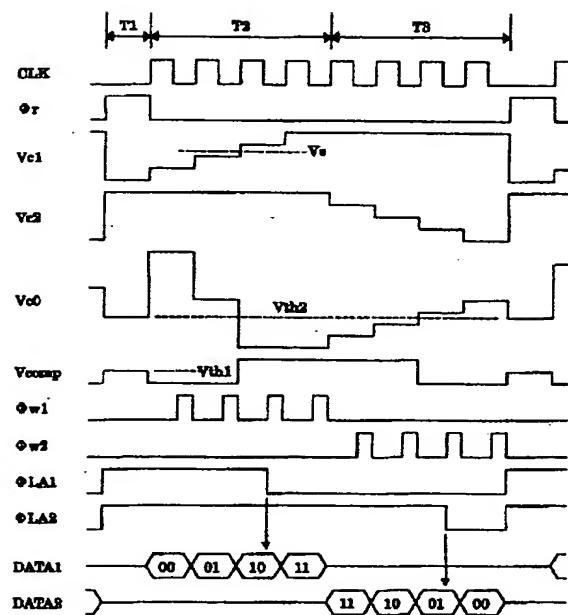
【図5】



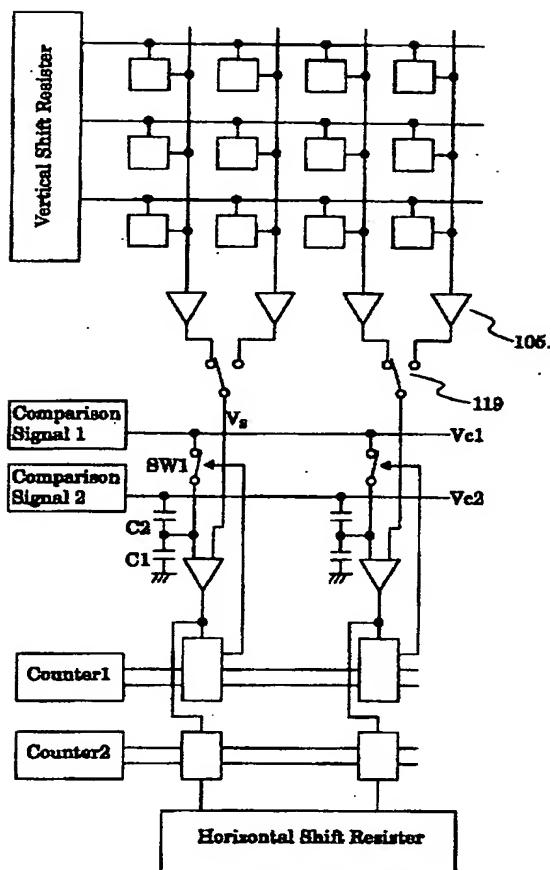
【図7】



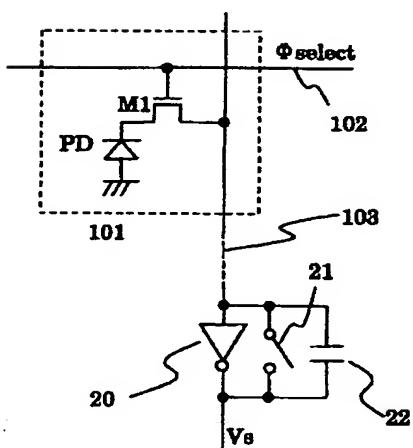
【図6】



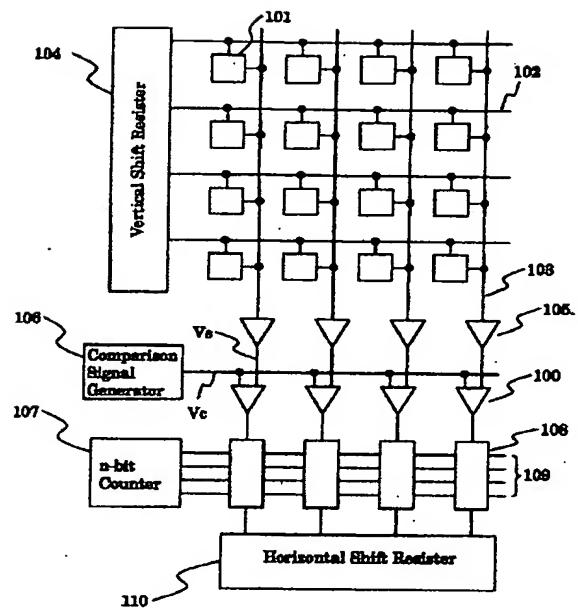
【図8】



【図10】



【図9】



【図11】

